

# Цифровое моделирование цифровых и цифро-аналоговых узлов в системе Delta Design Simtera

Никита Малышев (malyshev.n@eremex.ru)

При проектировании радиоэлектронных устройств разработчикам электроники нередко приходится решать задачи по моделированию их аналоговых, цифровых, цифро-аналоговых частей. И если при решении вопросов аналогового моделирования инженеры привыкли к использованию SPICE-симуляторов, то при моделировании цифровых и цифро-аналоговых частей не всё так однозначно. Компания ЭРЕМЕКС даёт возможность инженерам-проектировщикам повысить качество и скорость разработки с помощью системы Delta Design Simtera, основанной на принципах HDL-моделирования.

HDL-языки, или языки описания аппаратуры, широко используются с конца XX века для цифрового моделирования, а также известны как языки, описывающие логику конфигурации программируемых логических интегральных схем. Преимущество языков описания аппаратуры заключается в их модульности, то есть в разбиении сложных проектов на более простые с последующим их объединением в единый проект. Модульность также позволяет быстро выявить и исправить обнаруженные ошибки. Используя все эти преимущества, инженер-проектировщик может не только верифицировать цифровую часть устройства, но и создать прототип цифрового устройства для реализации его в ПЛИС с последующей проверкой его работоспособности и функциональности.

Возможности инженера по моделированию и верификации цифровых частей электроники значительно увеличиваются

при использовании модуля Delta Design Simtera. Помимо цифрового моделирования с использованием HDL-языков, у него появляется возможность прототипирования изделия в режиме реального времени. При этом разработчику необходимо лишь один раз создать библиотеку компонентов с цифровыми моделями или же воспользоваться готовой.

Гораздо удобнее, когда в системе проектирования уже заложены инструменты, способные решить данные задачи без дополнительных операций экспорта/импорта изделия в сторонние системы. При этом необходимо понимать, что при переносе проектов данные могут быть потеряны, некорректно загружены или интерпретированы, или же могут отсутствовать модели для проведения верификации. Всех этих недостатков лишена система, изначально имеющая возможности цифрового и аналогового моделирования. Если говорить о цифро-

вом моделировании, то именно модуль Delta Design Simtera решает вопросы по моделированию и верификации цифровой части изделий в САПР проектирования Delta Design. Для моделирования разработчику необходимо лишь однажды позаботиться о наполнении цифровой модели компонентов при создании библиотеки. То есть совместно с созданием УГО (условно-графического обозначения) и посадочного места стоит добавить цифровую модель компонента и не беспокоиться о дальнейшем наполнении библиотеки. Введённой информации будет достаточно для проектирования изделий с возможностью их цифрового моделирования и получения документации для производства печатных плат.

Рассмотрим работу системы на примере создания JK-триггера [1], состоящего из логических элементов. Промоделируем работу устройства, а также создадим его прототип на ПЛИС, работающий в режиме реального времени. В примере не будем учитывать и создавать посадочные места для логических элементов, так как данная статья ставит целью описание работы именно цифрового моделирования. Создание же посадочных мест компонента требует отдельного рассмотрения [2].

Описание цифровой модели компонента возможно с помощью языков описания аппаратуры, таких как Verilog и VHDL. В библиотеке уже предусмотрено

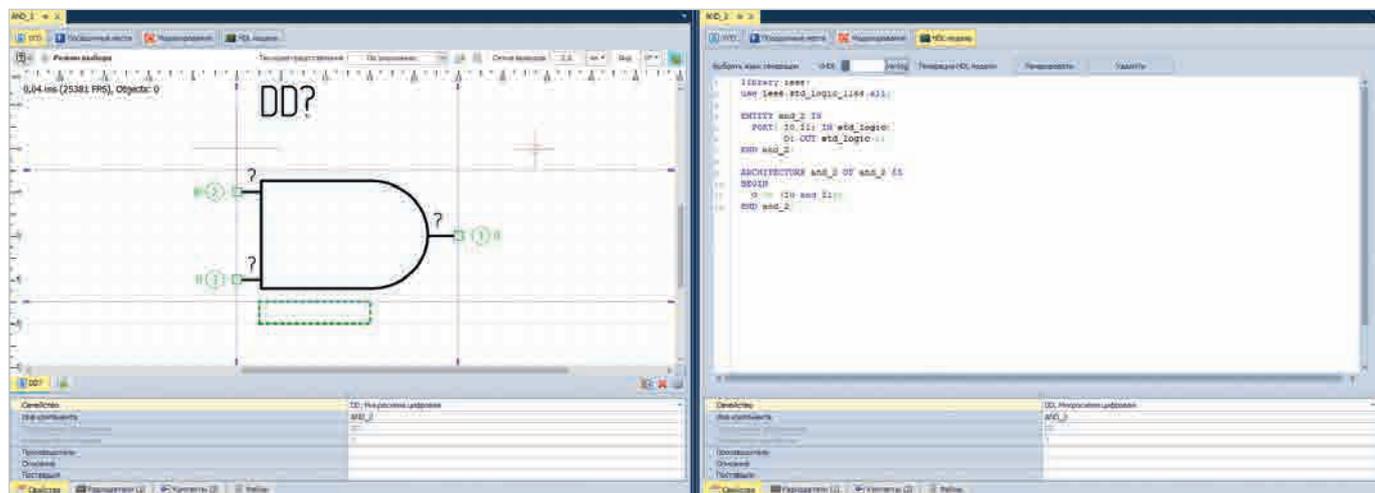


Рис. 1. Создание цифровой модели компонента по условно-графическому обозначению и описание его функциональной части

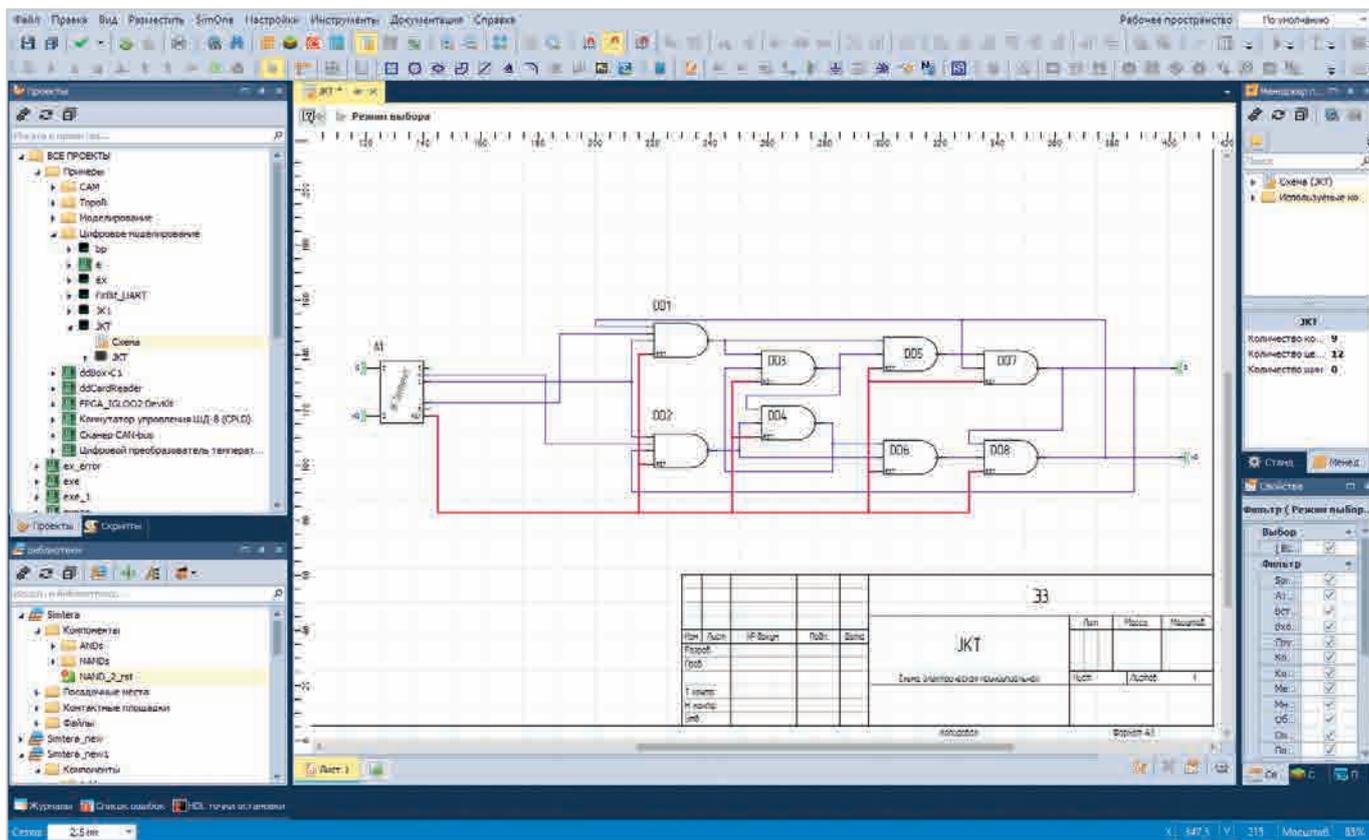


Рис. 2. Проект, созданный в схемотехническом редакторе

автоматическое создание шаблона цифрового компонента по пинам условно-графического обозначения. Разработчику достаточно лишь задать логику работы изделия. Сделать это довольно просто. Например, для компонента логического «2И» необходимо выходному порту поставить в соответствие выражение «Выход = ВХОД1 AND ВХОД2», где AND – операция конъюнкции (см. рис. 1).

В системе также предусмотрены готовые библиотеки цифрового моделирования для большого числа часто используемых компонентов, таких как логика, RAM-, ROM-память, сумматоры, счётчики, мультиплексоры, демультиплексоры и пр. Готовые модели можно использовать при создании собственных компонентов, руководствуясь описанием работы цифровой части из предоставляемых пользователям библиотек.

После создания компонентов «2И-НЕ» и «3И-НЕ» можно перейти к работе над принципиальной схемой. Проектирование схемы происходит в схемотехническом редакторе, знакомом и понятном всем инженерам-схемотехникам. После создания электрической схемы моделирование происходит в два этапа, которые выполняются нажатием двух кнопок: «Генерировать HDL-нетлист» и «Запустить моделирование» в графической части системы моделирования. При нажатии

первой кнопки происходит создание netlist (списка соединений) цифрового описания в соответствии со схемой. При нажатии второй кнопки запускается непосредственно моделирование.

На рисунках 2–3 представлены соответственно схема в графическом виде и полученный из неё netlist на языке описания аппаратуры, полученный благодаря наличию у каждого из компонентов цифровой модели.

На рисунке 4 показаны осциллограммы, полученные в результате моделирования цифровой части изделия. Генерация HDL-проекта (netlist цифрового проекта) представляется в явном виде в системе неслучайно. HDL-проект можно далее использовать в качестве проекта по прототипированию изделия в режиме реального времени. HDL-проект описывает работу изделия, и для того, чтобы перейти к прототипированию разрабатываемого узла, можно воспользоваться программируемой логической интегральной схемой. ПЛИС – интегральная микросхема, задать желаемую структуру работы которой можно воспользовавшись языками HDL. Именно они и используются в системе цифрового моделирования Delta Design Simtera. Для работы с ПЛИС в системе предусмотрен синтезатор – инструмент, позволяющий переводить

```

ex(1)/Top_ex.vhd
ex(1)/Top_ex.vhd
154 signal NET_K : std_logic := '1';
155 signal NET_J : std_logic := '1';
156 signal NET0005 : std_logic;
157 signal NET_Qn : std_logic := '1';
158 signal NET0008 : std_logic;
159 signal NET_Q : std_logic := '1';
160 signal NET0010 : std_logic;
161 signal NET0011 : std_logic;
162 signal NET0012 : std_logic;
163 signal NET0013 : std_logic;
164 signal RST : std_logic := '0';
165
166
167 begin
168   DD2 : ex_nand_61_dd2
169   port map
170   (
171     I0 => NET_C,
172     I1 => NET_J,
173     I2 => NET_J,
174     I3 => NET_J,
175     I4 => NET_R,
176     I5 => NET_Qn,
177     O => NET0012,
178     reset => RST );
179
180   DD1 : ex_nand_61_dd1
181   port map
182   (
183     I0 => NET_S,
184     I1 => NET_Q,
185     I2 => NET_K,
186     I3 => NET_K,
187     I4 => NET_K,
188     I5 => NET_C,
189     O => NET0011,
190     reset => RST );
191
192   DD4 : ex_nand_31_dd4
193   port map
194   (
195     I0 => NET0010,
196     I1 => NET0011,
197     I2 => NET_Qn,
198     O => NET0005,
199     RST => RST );
200
201   DD3 : ex_nand_31_dd3
202   port map
  
```

Рис. 3. Сгенерированный по схеме HDL-проект

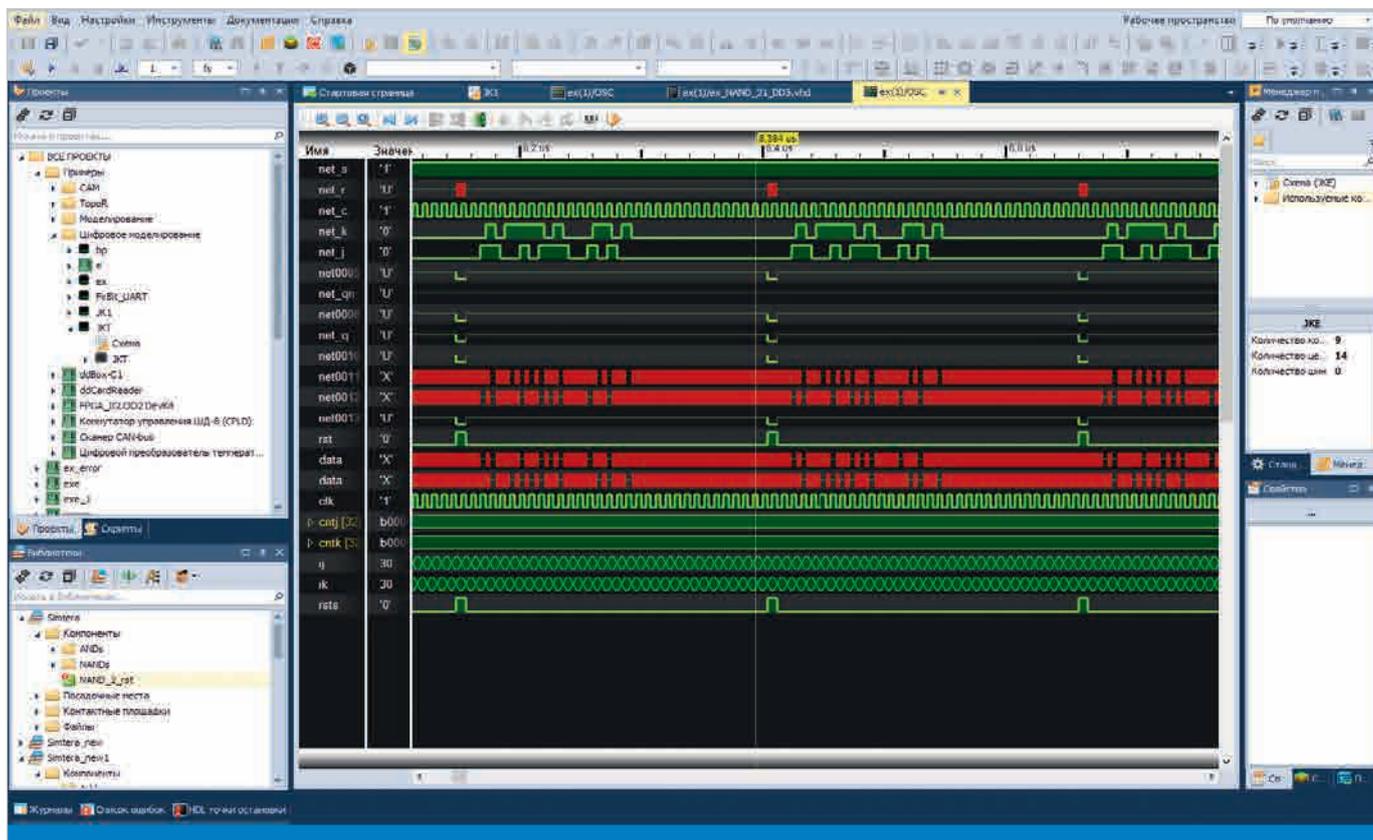


Рис. 4. Результаты моделирования проекта

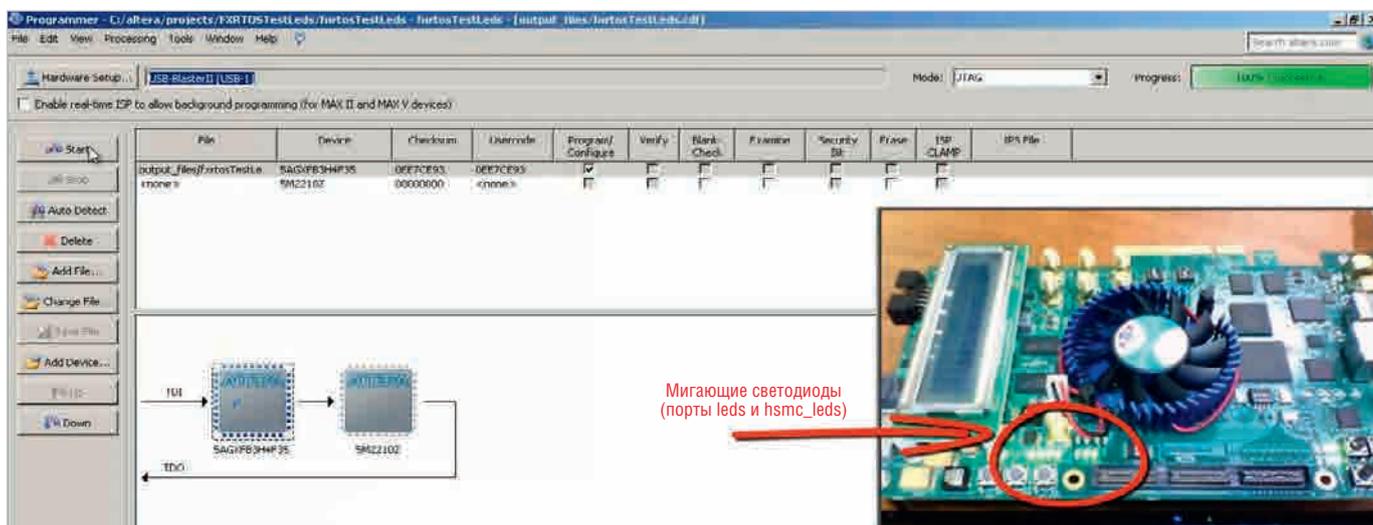


Рис. 5. Создание прототипа цифровой части изделия, реализованного в ПЛИС

исходный HDL-код в базис библиотечных элементов выбранной интегральной схемы. Поддерживаются ПЛИС от Intel, Xilinx, что позволяет подготовить разрабатываемый цифровой модуль для прототипирования в чипах указанных вендоров и убедиться в правильности работы изделия. На рисунке 5 представлен результат конфигурирования логики в ПЛИС Intel (отладочная плата Arria V Starter Kit), в котором отладочные данные выведены на светодиоды, по которым можно судить о правильности работы изделия при

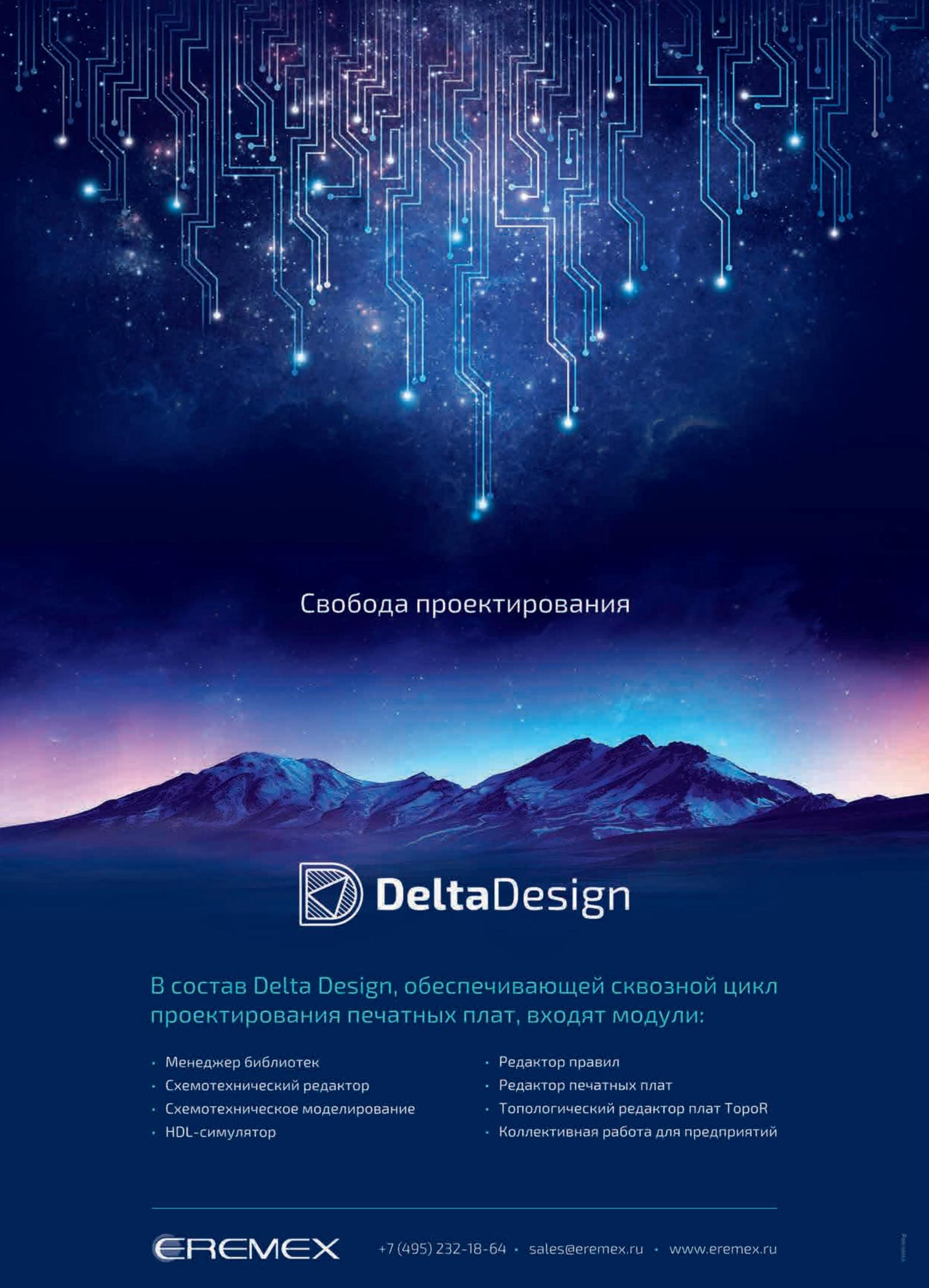
внешних управляющих воздействиях (нажатиях на кнопки).

Закончив проект цифрового моделирования, разработчик может не только верифицировать работу цифровой части устройства путём отладки и просмотра данных на ПК, но и создать прототип изделия, сконфигурировав ПЛИС, а также проверить его работу в режиме реального времени. Такие решения доступны благодаря тому, что Delta Design Simtera поддерживает использование HDL-языков. На HDL-языках также возможно описание работы циф-

ро-аналоговых узлов, их описание производится на AMS (Analog Mixed Signal) расширениях VHDL и Verilog. В следующих статьях мы расскажем о том, как использовать Verilog-AMS для моделирования цифро-аналоговых частей устройств в Delta Design Simtera.

**Литература**

1. JK-триггер. [https://digtech.ru/digital/JK\\_trigg.php](https://digtech.ru/digital/JK_trigg.php).
2. Видеоуроки и демонстрации работы. <https://www.youtube.com/c/EremexDD/videos>.



## Свобода проектирования



В состав Delta Design, обеспечивающей сквозной цикл проектирования печатных плат, входят модули:

- Менеджер библиотек
- Схемотехнический редактор
- Схемотехническое моделирование
- HDL-симулятор
- Редактор правил
- Редактор печатных плат
- Топологический редактор плат TopoR
- Коллективная работа для предприятий